

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yoshiki KASHIWAGI et al.

Title: METHOD FOR DESIGNING SEMICONDUCTOR CIRCUIT DEVICE,
SEMICONDUCTOR CIRCUIT DEVICE, DESIGN SYSTEM, AND
STORAGE MEDIUM

Appl. No.: Unassigned

Filing Date: 04/23/2004

Examiner: Unassigned

Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2003-131472
filed 05/09/2003.

Respectfully submitted,

Date: April 23, 2004

FOLEY & LARDNER LLP
Customer Number: 22428
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Thomas J. Blumenthal Reg. No. 43,438

/s/ David A. Blumenthal
Attorney for Applicant
Registration No. 26,257



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

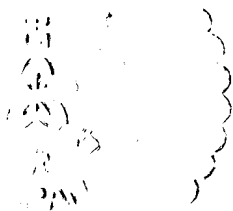
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 1 4 7 2
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 1 3 1 4 7 2]

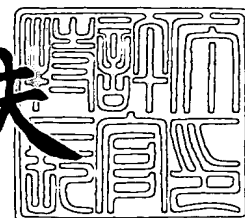
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):



2 0 0 4 年 3 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 74520009

【あて先】 特許庁長官殿

【国際特許分類】 H03H 11/04

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 柏木 快基

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

 【氏名】 加藤 哲也

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【手数料の表示】

 【予納台帳番号】 106760

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0218232

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体回路装置の設計方法、設計された半導体回路装置、設計システム、及び記録媒体

【特許請求の範囲】

【請求項 1】

第 1 電源系からの電圧で駆動される第 1 回路に関する情報を備える第 1 回路データを生成するステップと、

前記第 1 電源系と異なる第 2 電源系からの電圧で駆動される第 2 回路に関する情報を備える第 2 回路データを生成するステップと、

記憶媒体に予め記憶され、境界回路の情報を備えるセル・データを、前記記憶媒体から取得するステップと、

前記境界回路が、前記第 1 の回路と第 2 の回路との間の信号伝送路上に接続されていることを示す境界回路接続情報を生成するステップと、
を備える、半導体回路装置の設計方法。

【請求項 2】

前記境界回路は、前記第 1 の回路もしくは第 2 の回路の一方が OFF 状態にあり、他方が ON 状態にある場合に、前記第 1 の回路と前記第 2 の回路との間の貫通電流を抑制する回路を含む、請求項 1 に記載の半導体回路装置の設計方法。

【請求項 3】

前記境界回路は、前記第 1 の回路もしくは第 2 の回路の一方が OFF 状態にあり、他方が ON 状態にある場合に、前記第 1 の回路と前記第 2 の回路との間の不定電流による回路誤動作を抑制する回路を含む、請求項 1 に記載の半導体回路装置の設計方法。

【請求項 4】

前記境界回路は、前記第 1 の回路もしくは第 2 の回路の一方が OFF 状態にあり、他方が ON 状態にある場合に、前記第 1 の回路と前記第 2 の回路との間のリーク電流を抑制する回路を含む、請求項 1 に記載の半導体回路装置の設計方法。

【請求項 5】

前記境界回路は、前記第 1 の回路と前記第 2 の回路との間のレベル変換処理を



行う回路を含む、請求項 1 に記載の半導体回路装置の設計方法。

【請求項 6】

前記境界回路は、前記第 1 の回路及び／もしくは前記第 2 の回路内のトランジスタを E S D (Electrostatic Discharge) から保護する保護回路を含む、請求項 1 に記載の半導体回路装置の設計方法。

【請求項 7】

前記第 1 回路データ、前記第 2 回路データ、及び前記セル・データは、論理回路設計用データである、請求項 1 に記載の半導体回路装置の設計方法。

【請求項 8】

前記第 1 回路データ、前記第 2 回路データ、及び前記セル・データは、レイアウト設計用データである、請求項 1 に記載の設計方法。

【請求項 9】

請求項 1 に記載の設計方法によって設計された半導体回路装置。

【請求項 1 0】

第 1 電源からの電圧で駆動される第 1 回路を設計するステップと、
第 1 電源と異なる第 2 電源からの電圧で駆動される第 2 回路を設計するステップと、
前記第 1 回路と前記第 2 回路との間の信号伝送を行う配線上に、予め用意されたセルを接続するステップと、を備える半導体回路装置の設計方法。

【請求項 1 1】

半導体設計に使用されるセル・ライブラリを記録するコンピュータ読み取り可能な記録媒体であって、第 1 電源系からの電圧で駆動される第 1 回路と、前記第 1 電源系と異なる第 2 電源系からの電圧で駆動される第 2 回路との間の信号伝送線路に接続される、境界回路に関する情報を有する境界セルを備える、コンピュータ読み取り可能な記録媒体。

【請求項 1 2】

第 1 電源系からの電圧で駆動される第 1 回路に関する情報を備える第 1 回路データを生成する手段と、
前記第 1 電源系と異なる第 2 電源系からの電圧で駆動される第 2 回路に関する

情報を備える第2回路データを生成する手段と、

記憶媒体に予め記憶され、境界回路の情報を備えるセル・データを、前記記憶媒体から取得する手段と、

前記境界回路が、前記第1の回路と第2の回路との間の信号伝送路上に接続されていることを示す境界回路接続情報を生成する手段と、を備える半導体回路装置の設計システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路装置の設計技術に関し、特に、半導体回路装置の設計を効率化することができる半導体回路装置の設計技術に関する。

【0002】

【従来の技術】

通信技術と半導体技術の進歩に伴い、携帯電話やPDA(Personal Digital Assistants)などの携帯端末は、広く普及している。典型的な携帯端末は、携帯性を満たすために、充電可能なバッテリーによって駆動される。バッテリーによる駆動時間の長時間化、あるいは、バッテリーへの充電頻度／時間の減少のため、携帯端末の消費電力を低くするいくつかの技術が知られている。このような技術の一つは、チップ内において、使用されていない回路領域をOFF状態に設定し、あるいは供給電圧を下げることによって、不要な電力の消費を低減する。特定の回路領域の電源をOFF状態にする、もしくは電源電位を下げるため、チップ内の回路は複数の回路領域に分割され、各領域は異なる電源系に属する。各電源系は、独立に制御されることができる。

【0003】

このようなチップにおいて、一方の電源がOFF状態にあるときに、異なる電源によって駆動される回路間において、貫通電流の問題が生ずることが知られている。この問題を解決するための技術が提案されている（例えば、特許文献1参照）。半導体集積回路は、第1の電源で動作する入力回路と、出力電圧が変動する第2の電源で動作し、入力回路へハイまたはローレベルの出力信号を供給する

CMOS インバータを有する出力回路とを備える。さらに、入力回路の内部に出力回路の CMOS インバータの出力信号を入力する制御手段が設けられている。制御手段は、第 2 の電源電圧が所定電圧以上のときは CMOS インバータの出力信号を入力回路の内部信号として出力し、第 2 の電源電圧が所定電圧未満のときはローレベルを前記入力回路の内部信号として出力する。

【0004】

上記構成によれば、出力回路用の第 2 の電源が OFF のとき、入力回路の制御手段の出力を”L”に固定でき、入力回路の内部における貫通電流の発生を防止でき、また、出力回路の CMOS インバータの出力信号が”H”のときに第 2 の電源が ON から OFF に移行する際、CMOS インバータの出力信号は”H”から中間レベルを通過して”L”に移行するが、第 2 の電源電圧が所定電圧未満になると制御手段の出力が”L”になるため、入力回路内部に貫通電流が流れず、消費電力を削減することができる。

【0005】

上記のように、従来の技術として、異なる電源回路領域間における回路上の問題を解決するための回路技術がいくつか知られている。しかし、異なる電源系に属する複数の回路領域を備えるチップの回路設計に関しては、これまで検討がなされていない。特に、設計システムを利用した半導体回路装置の設計において、設計がより効率的、容易に行えることは重要なことである。しかし、従来の設計方法においては、異なる回路領域を設計した後に、ユーザが回路領域間に回路を挿入することが必要である。このため、効率的な回路設計が行うことができない。あるいは、従来の手法は、異なる回路の送信部と受信部とが別々に設計された後に回路領域間に回路を挿入するため、配線長を制御することができず、信号遅延の原因となりうる。

【0006】

【特許文献 1】

特開 2001-148625 号公報

【0007】

【発明が解決しようとする課題】

本発明は上記従来技術に鑑みてなされたものであって、その一つの目的は、設計をより容易に行うことができる半導体装置の設計技術を提供することである。

【0008】

【課題を解決するための手段】

本発明の第1の態様に係る半導体回路装置の設計方法は、第1電源系からの電圧で駆動される第1回路に関する情報を備える第1回路データを生成するステップと、前記第1電源系と異なる第2電源系からの電圧で駆動される第2回路に関する情報を備える第2回路データを生成するステップと、記憶媒体に予め記憶され、境界回路の情報を備えるセル・データを、前記記憶媒体から取得するステップと、前記境界回路が、前記第1の回路と第2の回路との間の信号伝送路上に接続されていることを示す境界回路接続情報を生成するステップを備えるものである。これにより、半導体回路装置の設計を効率化することができる。尚、各ステップの順序は、記載順序に拘束されるものではない。この点は、以下の本項目の記載において同様である。

【0009】

上記第1の態様において、前記境界回路は、前記第1の回路もしくは第2の回路の一方がOFF状態にあり、他方がON状態にある場合に、前記第1の回路と前記第2の回路との間の貫通電流を抑制する回路を含むことが好ましい。これにより、異なる電源によって駆動される回路間の貫通電流を抑制する回路設計を効果的に行うことができる。あるいは、上記第1の態様において、前記境界回路は、前記第1の回路もしくは第2の回路の一方がOFF状態にあり、他方がON状態にある場合に、前記第1の回路と前記第2の回路との間の不定電流による回路誤動作を抑制する回路を含むことが好ましい。これによって、異なる電源によって駆動される回路間の不定電流による回路誤動作を抑制する回路を回路設計を効果的に行うことができる。

【0010】

上記第1の態様において、前記境界回路は、前記第1の回路もしくは第2の回路の一方がOFF状態にあり、他方がON状態にある場合に、前記第1の回路と前記第2の回路との間のリーク電流を抑制する回路を含むことが好ましい。これ

により、異なる電源によって駆動される回路間のリーク電流を抑制する回路設計を効果的に行うことができる。

【0011】

上記第1の態様において、前記境界回路は、前記第1の回路と前記第2の回路との間のレベル変換処理を行う回路を含むことが好ましい。これにより、異なる電源によって駆動される回路間のレベル変換処理を行う回路設計を効果的に行うことができる。

【0012】

上記第1の態様において、前記境界回路は、前記第1の回路及び／もしくは前記第2の回路内のトランジスタをESD (Electrostatic Discharge) から保護する保護回路を含むことが好ましい。これにより、異なる電源によって駆動される回路間において、ESD (Electrostatic Discharge) から保護する保護回路の設計を効果的に行うことができる。

【0013】

上記第1の態様において、前記第1回路データ、前記第2回路データ、及び前記セル・データは、論理回路設計用データであることができる。あるいは、前記第1回路データ、前記第2回路データ、及び前記セル・データは、レイアウト設計用データであることができる。

【0014】

本発明の第2の態様は半導体回路装置であって、上記第1の態様にかかる半導体回路装置の設計方法によって設計されたものである。

【0015】

本発明の第3の態様は半導体回路装置の設計方法であって、第1電源からの電圧で駆動される第1回路を設計するステップと、第1電源と異なる第2電源からの電圧で駆動される第2回路を設計するステップと、前記第1回路と前記第2回路との間の信号伝送を行う配線上に、予め用意されたセルを接続するステップと、を備えるものである。これにより、半導体回路装置の設計を効率化することができる。

【0016】

本発明の第4の態様は半導体設計に使用されるセル・ライブラリを記録するコンピュータ読み取り可能な記録媒体であって、第1電源系からの電圧で駆動される第1回路と、前記第1電源系と異なる第2電源系からの電圧で駆動される第2回路との間の信号伝送線路に接続される、境界回路に関する情報を有する境界セルを備えるものである。これにより、半導体回路装置の設計を効率化することができる。

【0017】

本発明の第5の態様は半導体回路装置の設計システムであって、第1電源系からの電圧で駆動される第1回路に関する情報を備える第1回路データを生成する手段と、前記第1電源系と異なる第2電源系からの電圧で駆動される第2回路に関する情報を備える第2回路データを生成する手段と、記憶媒体に予め記憶され、境界回路の情報を備えるセル・データを、前記記憶媒体から取得する手段と、前記境界回路が、前記第1の回路と第2の回路との間の信号伝送路上に接続されていることを示す境界回路接続情報を生成する手段と、を備えるものである。これにより、半導体回路装置の設計を効率化することができる。

【0018】

【発明の実施の形態】

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能であろう。

【0019】

図1は、本実施の形態における半導体回路装置100の概略構成を示す、チップ・イメージ図である。半導体回路装置100は、異なる電源系によって電圧を供給される複数の回路領域を備えている。図1において、101は第1の電源系において動作する第1の領域、102は第2の電源系で動作する第2の領域である。第1及び第2の回路領域は電氣的回路として捕らえることができる。第1の領域においては、電源電圧としてVDD1が供給され、第2の領域においては、

電源電圧としてVDD2が供給される。VDD1とVDD2は同じ電位もしくは異なる電位であることができる。これら2つの電位は別個に制御することができる。

【0020】

本形態における典型的なチップは、携帯電話やPDA (Personal Digital Assistants) などの携帯端末に利用されうる。携帯端末においては、消費電力を低減するために、使用あるいは動作していない回路部分への電圧供給をOFFする、あるいは、供給電圧を下げる制御がなされている。電源の異なる複数の回路領域が形成されていることによって、このような電源制御を可能とすることができる。

【0021】

あるいは、アナログ回路とデジタル回路を含むチップにおいて、これら回路には、異なる電源系からそれぞれ電源電圧が供給される。このほか、本発明は、複数の異なる電源系から電圧が供給される回路領域を備える半導体回路装置に適用することができる。尚、図1は、電源系が異なる2つの回路を示しているが、本発明は3以上の異なる電源系を備える回路構成の半導体回路装置に適用可能である。

【0022】

図1において、111は第1の領域内に形成されている第1の内部回路、121は第2の回路領域内に形成されている第2の内部回路である。131-134は第1の回路領域と第2の回路領域との境界に形成されている、境界回路である。第1の内部回路と第2の内部回路とを接続する配線上に、境界回路131-134のそれぞれが挿入されている。境界回路131-134は、回路設計に応じて、適切な機能及び構造を備える回路が選択され、電源系が異なる回路領域をまたぐ信号ライン上に挿入される。

【0023】

本形態において、境界回路131-134は、それぞれ一つのセルとして構成されている。一つのセルとして境界回路を用意することによって、回路設計を効率化することができる。あるいは、配線長を短くすることができるので、信号遅

延を抑制することができる。以下に、境界回路として好適ないくつかの例が示される。例えば、一方の回路がOFF状態にある場合に回路間の望ましくない電流を抑制する回路、回路の駆動電圧間に差異がある場合のためのレベル変換回路、あるいは、ESD保護回路が好ましい例として示される。

【0 0 2 4】

図2は、境界回路の一例として、貫通電流抑制回路200を示している。図2(a)は貫通電流抑制回路200の回路構成を示す論理回路図であり、図2(b)は貫通電流抑制回路200の真理値表を示している。貫通電流抑制回路200を挿入することによって、電源がOFFである回路領域から電源がONである回路領域へ不定信号が伝播されることを抑制することができる。本回路を利用することによって、不定信号は実質的に防止することができる。これによって、次段の回路で流れる貫通電流を抑制もしくは防止し、チップ全体の消費電力を低減することができる。あるいは、回路誤動作を抑制もしくは防止することができる。

【0 0 2 5】

図2(a)において、第1の回路領域101がOFF領域であり、第2の回路領域102がON領域である例が示されている。図2(a)において、201は第1の領域101の内部回路からの信号が入力される入力端子、202は第1の電源電圧VDD1が供給され、入力端子201に入力された信号を受けるインバータである。インバータ202からの出力は、NANDゲート203に入力される。NANDゲートには、インバータ202からの出力信号のほかに、ON領域の内部回路からイネーブル端子204を介してイネーブル信号が入力される。NANDゲート203は、第2の電源電圧VDD2によって動作する。NANDゲート203の出力は、出力端子205を介して、ON状態にある第2の回路領域の内部回路へ出力される。

【0 0 2 6】

貫通電流抑制回路200の動作について、図2(a)、(b)を参照して説明する。図2(b)は、入力端子への入力信号「input」、イネーブル端子へのイネーブル信号「enable」、及び出力端子からの出力信号「output」の間の関係を示している。図表内の「X」は信号が不定であることを示している。また、「0

」は出力電位が「Low」、「1」は出力電位が「High」であることを示している。第1の回路領域101がOFF状態にある場合、入力端子201には不定信号が入力される。

【0027】

つまり、第1の回路領域がOFF状態にある場合、第1の回路領域101から第2の回路領域への出力信号はHighかLowか確定していない。このため、第2の回路領域へ中間電位的な信号が入力される。これは、第2の回路領域内への貫通電流を発生させる。これを抑制するため、本形態は第1の回路領域がOFF状態にあるとき、NANDゲート203へ入力されるイネーブル信号は「0」つまり「Low」であるように制御する。

【0028】

イネーブル信号が「0」であることによって、出力端子205からの出力信号を「1」つまり、出力電位を「High」に確定し、維持することができる。上記のように、回路がOFF状態にある場合、その出力HiがLowか確定していないため、受信側にはHiとLowの中間電位的信号が入力する。しかし、本形態構成によって、OFF状態の回路領域からの不定信号によるON領域における貫通電流を抑制することができる。

【0029】

第1領域がON状態にある場合、イネーブル信号として「1」が入力されるように貫通電流抑制回路200は制御される。これによって、入力端子201への第1の回路領域101の内部回路からの入力信号が「0」の場合は、出力端子205から第2の回路領域102の内部回路への出力信号が「0」に確定し、入力が「1」の場合は、出力は「1」に確定される。尚、入力信号が不定であり、イネーブル信号が「1」もしくは不定である場合、出力信号は不定である。

【0030】

図3は、境界回路の他の一例として、ゲート・リーク抑制回路300を示している。図3(a)はゲート・リーク抑制回路300の回路構成を示す論理回路図であり、図3(b)はゲート・リーク抑制回路300の真理値表を示している。ゲート・リーク抑制回路300を挿入することによって、ON状態にある回路領

域とOFF状態にある回路領域の境界部の電位をLowに維持することができる。これによりゲート・リークを抑制することができ、チップ全体の消費電力を低減することができる。本回路を利用することによって、ゲート・リークを実質的に防止することができる。

【0031】

図3(a)において、第1の回路領域101がOFF領域であり、第2の回路領域102がON領域である例が示されている。図3において、301は第2の領域102の内部回路からの信号が入力される入力端子である。入力端子301に入力された信号は、負論理出力のOR回路302に入力される。負論理出力のOR回路302の2入力端子のもう一方には、イネーブル端子303を介したイネーブル信号が入力される。

【0032】

イネーブル信号はON状態の第2の回路領域の内部回路から入力される。イネーブル信号の入力は、負論理入力である。負論理出力のOR回路302は、第2の電源電圧VDD2によって動作する。負論理出力のOR回路302は、インバータ304に入力される。インバータ304は第1の電源電圧VDD1によって動作する。インバータ304の出力は出力端子305を介して第1の回路領域101の内部回路に接続される。

【0033】

ゲート・リーク抑制回路300の動作について説明する。図3(b)は、入力端子301への入力信号「input」、イネーブル端子303へのイネーブル信号「enable」、ON領域とOFF領域の境界部の信号「M」、及び出力端子305からの出力信号「output」の間の関係を示している。OFF領域への信号「M」は、図3(a)において、負論理出力のOR回路302からインバータ304への出力信号である。

【0034】

第1の回路領域101がOFF状態にあり、第2の回路領域102がON状態にある場合、イネーブル端子303には「0」が入力され、電位がLowに維持される。これにより、インバータ304への信号は入力端子へ301の入力信号

に関わりなく、常にLow「0」となる。このため、ON領域からOFF領域へのゲート・リークを抑制することができ、消費電力を低減することができる。

【0035】

第1の領域がON状態にある場合、イネーブル信号として、High電位「1」が入力される。第2の回路領域からの入力信号が「0」である場合、境界部の電位「M」はHigh「1」であり、出力端子305からの出力信号は「0」である。一方、第2の回路領域からの入力信号が「1」である場合、境界部の電位「M」はLow「0」であり、出力端子305からの出力信号は「1」である。入力信号及びイネーブル信号が不定の場合、境界部の電位、出力端子305からの出力信号共に、不定となる。

【0036】

図4は、境界回路の他の一例として、ESD (Electrostatic Discharge) 保護回路401備えている境界回路400を示している。図4 (a) はESD保護回路401を含む回路の回路構成を示す論理回路図であり、図4 (b) は境界回路400の真理値表を示している。図4の回路構成は、ESD保護回路401が付加されている点を除いて、図2に示した論理回路構成と同一である。図4 (b) の真理値表は図2 (b) と同様である。ESD保護回路401は、次段のトランジスタをESDから保護する。ESD保護回路401は、たとえば、次段のトランジスタのゲート端子とダランド配線との間を、ダイオードあるいはトランジスタを介して接続することによって構成することができる。ESD保護回路401は、ESDによって引き起こされる異電位間のトランジスタのゲート絶縁破壊を防止することに寄与する。

【0037】

図5は、境界回路の他の一例として、レベル変換回路501を備える境界回路500を示している。図5 (a) は境界回路500の回路構成を示す論理回路図であり、図5 (b) は境界回路500の真理値表を示している。図5の回路構成は、レベル変換回路501が付加されている点を除いて、図2に示した論理回路構成と同一であるので、説明は省略される。図5 (b) の真理値表は図2 (b) と同様であるので、説明は省略される。

【0 0 3 8】

レベル変換回路 5 0 1 は、信号電位レベルが異なる 2 つの回路領域の間の信号の入出力を可能とする。レベル変換回路 5 0 1 は、インバータ 2 0 2 と NAND ゲート 2 0 3 の間に接続されている。インバータ 2 0 2 からの出力は、レベル変換回路 5 0 1 によってレベル変換され、NAND ゲート 2 0 3 に入力される。例えば、図 5 に示すように、第 1 の電圧レベル VDD 1 が第 2 の電圧レベル VDD 2 よりも高い場合、レベル変換回路 5 0 1 は VDD 1 電位の信号を、VDD 2 電位の信号に変換する。尚、一方の回路領域を OFF 状態に設定しない場合、NAND ゲートをインバータに変更することができる。

【0 0 3 9】

上記にいくつかの境界回路の例が示されているが、本発明が適用可能な境界回路は、これらに限定されるものではない。又、上記の回路は、それぞれ独立に、あるいは組み合わせて、異なる電源系によって駆動される回路領域間に挿入することができる。例えば、貫通電流抑制回路と使用することなく、レベル変換回路や ESD 保護回路のみを挿入することができる。あるいは、レベル変換回路と ESD 保護回路の両方を含む境界回路を挿入することができる。尚、各境界回路において、第 1 の電源によって駆動される回路は第 1 の回路領域に、第 2 の電源によって駆動される回路は第 2 の回路領域に、それぞれ含まれていると捉えることが可能である。

【0 0 4 0】

図 6 は、本実施の形態における、半導体回路装置の設計システム 6 0 0 の概略構成を示すブロック図である。図 6 において、6 0 1 は設計ツール・プログラム、6 0 2 はセル・ライブラリ、6 0 3 は設計ツール 6 0 1 に入力される入力データ、6 0 4 は設計ツール 6 0 1 に出力される出力データである。設計ツール 6 0 1 は、セル・ライブラリ 6 0 2 を参照して、入力データ 6 0 3 から出力データ 6 0 4 を生成する。設計ツール 6 0 1 の処理及び入出力データについては、後に詳述される。本形態の設計システム 6 0 0 は、半導体回路装置に設計における適切な工程、もしくはフェーズで利用することができる。例えば、設計システム 6 0 0 を論理回路設計工程、及び／あるいはレイアウト設計の工程において使用する

ことができる。

【0 0 4 1】

図 7 は、本形態の設計ツール 6 0 1 のデータ処理を説明するダイアグラムである。図 7 において、外枠の形状によって、設計ツール 6 0 1 による処理（四辺形）、設計ツール 6 0 1 から生成されるデータ（円柱形状）、あるいは予め用意されているセル・ライブラリ（直方体形状）に分類されている。以下において、本形態の設計ツール 6 0 1 は、図 7 に示された全ての処理を実行するものとして説明される。しかし、複数の設計ツールを用意し、図 7 記載の処理を分割した処理を、各設計ツールが行うことが可能である。例えば、図 7 において、R T L 記述 7 2 1 からネット・リスト 7 2 2 を生成する設計ツールと、それ以下の処理を行う設計ツールは異なるものを用意することができる。

【0 0 4 2】

本形態のセル・ライブラリは、境界セル・ライブラリ 7 5 2、7 5 3、7 5 5 を備えている。セルは回路に関する様々な情報を含んでいる。境界セルは、異なる電源によって駆動される回路領域間の境界域に挿入されるセルであって、例えば、図 2 - 5 を参照して説明した回路構成を備えることができる。境界セルは、ゲート・レベル設計のためのセル・ライブラリ 7 5 2、レイアウト設計のためのセル・ライブラリ 7 5 3、あるいはレイアウト設計工程後の検証のためのセル・ライブラリ 7 5 5 を含むことができる。境界回路を境界セルとして予め用意しておくことによって、チップ設計をより容易にすることが可能となる。

【0 0 4 3】

図 7 を参照して、まず、R T L（Register Transfer Level）回路設計処理（S 7 0 1）により、仕様データから R T L 記述 7 2 1 が生成される。R T L 記述 7 2 1 は、Verilog や V H D L などの H D L（Hardware Description Language）を用いて行うことができる。次に、設計ツール 6 0 1 は論理合成処理（S 7 0 2）を実行する。この処理は、例えば、R T L 記述 7 2 1 を入力としてゲート・レベルに展開し、予め記憶されたセル遅延ライブラリ 7 5 1 のセル・データを参照することによって、セルにマッピングする。これによって、ゲート・レベルのネット・リスト 7 2 2 が生成される。ネット・リストは、回路に関する情報及び回

路間の接続に関する情報などを含むデータである。

【 0 0 4 4 】

設計ツール 6 0 1 は、ゲート・レベル境界セル・ライブラリ 7 5 2 を参照して、ゲート・レベル・ネット・リスト 7 2 2 に境界セルを挿入する。設計ツール 6 0 1 は、ゲート・レベル・ネット・リスト 7 2 2 における異電源回路領域を特定し、回路領域間の信号伝送経路上に、設計に従って適切な境界セルを挿入する。境界セルは、例えば、上記の貫通電流抑制回路セル、リーク電流抑制回路セル、あるいはレベル・シフトなどを挿入することができる。これにより、境界セルを含むゲート・レベル・ネット・リスト 7 2 3 が生成される。ネット・リストは異なる電源系によって駆動される複数の回路領域に関する情報の他に、境界回路に関する情報、及びこれらの接続情報を含む。ゲート・レベルのセル・ライブラリ 7 5 1、7 5 2 は、例えば、セルの機能、遅延、入力・出力ピンに関する情報などを含んでいる。

【 0 0 4 5 】

この後、レイアウト設計処理と検証処理が行われる。各フェーズにおいてセル図形ライブラリが参照される。セル図形ライブラリは、従来のセル図形ライブラリ 7 5 4 に加えて、境界セルのセル図形ライブラリ 7 5 3 を備えている。セル図形ライブラリは、セルの形状・寸法、ピン配置などの情報を有している。レイアウト設計処理は、まず、フロアプラン処理（S 7 0 4）によってチップ内に回路が収まるように概略のセル配置を行う。

【 0 0 4 6 】

この後に、電源配線処理を実行する（S 7 0 5）。電源配線処理が完了すると、接続関係に基づいてセルの配置処理が実行される（S 7 0 6）。配置処理（S 7 0 6）の後に、C T S（Clock Tree Synthesis）展開処理（S 7 0 7）によってクロック・スキューなどが設計範囲に収まるようにクロック・ネットワークが設計される。C T S 展開処理（S 7 0 7）の後に、配線処理（S 7 0 8）が実行される。

【 0 0 4 7 】

配線処理が完了すると、チェック・リペア処理が実行される（S 7 0 9）。続

いて、L V S (Layout Versus Schematic) 用のSpiceNet 7 2 4 が作成され (S 7 1 0)、さらに、G D S フォーマットのレイアウト・データ 7 2 5 が作成される (S 7 1 1)。生成されたSpiceNet 7 2 4 と G D S レイアウト・データ 7 2 5 を使用して、レイアウトと回路図の一致が検証 (レイアウト検証 (L V S)) される (S 7 1 2)。

【0 0 4 8】

一方、R C 抽出処理 (S 7 1 3) によって、配線の抵抗と寄生容量の情報を含む R C 情報 7 2 6 が生成される。この R C 情報 7 2 6 と検証用のセル遅延ライブラリから、遅延計算が実行される (S 7 1 4)。検証用のセル遅延ライブラリは、従来のセル遅延ライブラリ 7 5 6 に加えて、境界セルのセル遅延ライブラリ 7 5 5 が含まれる。セル遅延ライブラリは遅延計算に必要な情報を含んでいる。遅延計算処理 (S 7 1 4) によって S D F (Standard Delay Format) ファイル 7 2 7 が生成され、タイミング検証 (S 7 1 5) が実行される。ここでタイミングが合わない場合、配置・配線のフェーズに戻る。

【0 0 4 9】

上記各処理は、ツール内において自動的に行われること、あるいは、ユーザ入力など、インターフェースを介する外部からの入力に従ってインタラクティブに行われることが可能である。例えば、電源系が異なる回路領域の検出と、境界セルの挿入による回路データの生成を、設計システムが入力データに従って自動的に実行することができる。あるいは、設計システムは、ユーザからの入力にตอบสนองして、境界セルを挿入した回路データであるネット・リストを生成することができる。境界セルの挿入は、設計工程における適切フェーズにおいて実行することが可能であり、論理回路ネット・リスト 7 2 2 の生成の直後に限定されるものではない。

【0 0 5 0】

本形態設の設計システム 6 0 0 は、ハードウェア論理を利用して実現すること、あるいは、ハードウェアに必要なプログラムをインストールすることにより、ソフトウェアを利用して実現することも可能である。図 8 は、プログラム実行が可能なハードウェア構成を示している。図 8 は、中央処理装置 (C P U) 8 0 1

とメモリ 804 とを含んでいる。CPU とメモリ とは、バスを介して補助記憶装置としてのハードディスク装置 813 に接続される。フレキシブルディスク装置 820、ハードディスク装置 813、CD-ROM ドライブ 829 等の記憶媒体駆動装置は、フレキシブルディスク・コントローラ 819、IDE コントローラ 825、SCSI コントローラ 827 などの各種コントローラを介してバスに接続される。本形態のセル・ライブラリ、あるいは入出力データは、記憶装置に記憶することができる。

【0051】

フレキシブルディスク装置等の記憶媒体駆動装置には、フレキシブルディスク等の可搬型記憶媒体が挿入される。記憶媒体にはオペレーティングシステムと共同して CPU 801 等に命令を与え、本実施形態を実施するためのコンピュータプログラムを記憶することができる。コンピュータプログラムは、メモリ 804 にロードされることによって実行される。コンピュータプログラムは圧縮し、又、複数に分割して記憶媒体に記憶することができる。

【0052】

ハードウェア構成は、さらに、ユーザ・インターフェース・ハードウェアを備えたシステムであることができる。ユーザ・インターフェース・ハードウェアとしては、例えば、入力をするためのポインティング・デバイス（マウス 807、ジョイスティック等）またはキーボード 806 や視覚データをユーザに提示するためのディスプレイ 811 があり、又、パラレルポート 816 を介してプリンタを接続することもできる。シリアルポートを介してモデムを接続することが可能であり、シリアルポート、モデムまたはトークンリングや通信アダプタ 818 を介してネットワークに接続し、他のコンピュータ・システムと通信を行っている。これらの構成は例示であり、そのすべての構成が本実施の形態に必須というものではない。

【0053】

【発明の効果】

本発明によれば、半導体回路装置の効率的な設計技術を提供することができる。

。

【図面の簡単な説明】

【図 1】 本実施の形態における半導体回路装置 1 0 0 の概略構成を示す、チップ・イメージ図である。

【図 2】 本実施の形態における境界回路の一例である貫通電流抑制回路を示す、論理回路図である。

【図 3】 本実施の形態における境界回路の一例であるリーク電流抑制回路を示す、論理回路図である。

【図 4】 本実施の形態における境界回路の一例である E S D 保護回路を示す、論理回路図である。

【図 5】 本実施の形態における境界回路の一例であるレベル変換回路を示す、論理回路図である。

【図 6】 半導体回路装置の設計システム 6 0 0 の概略構成を示すブロック図である。

【図 7】 本形態の設計ツール 6 0 1 のデータ処理を説明するダイアグラムである。

【図 8】 本形態の設計システム 6 0 0 を実装可能な、ハードウェア構成を示すブロック図。

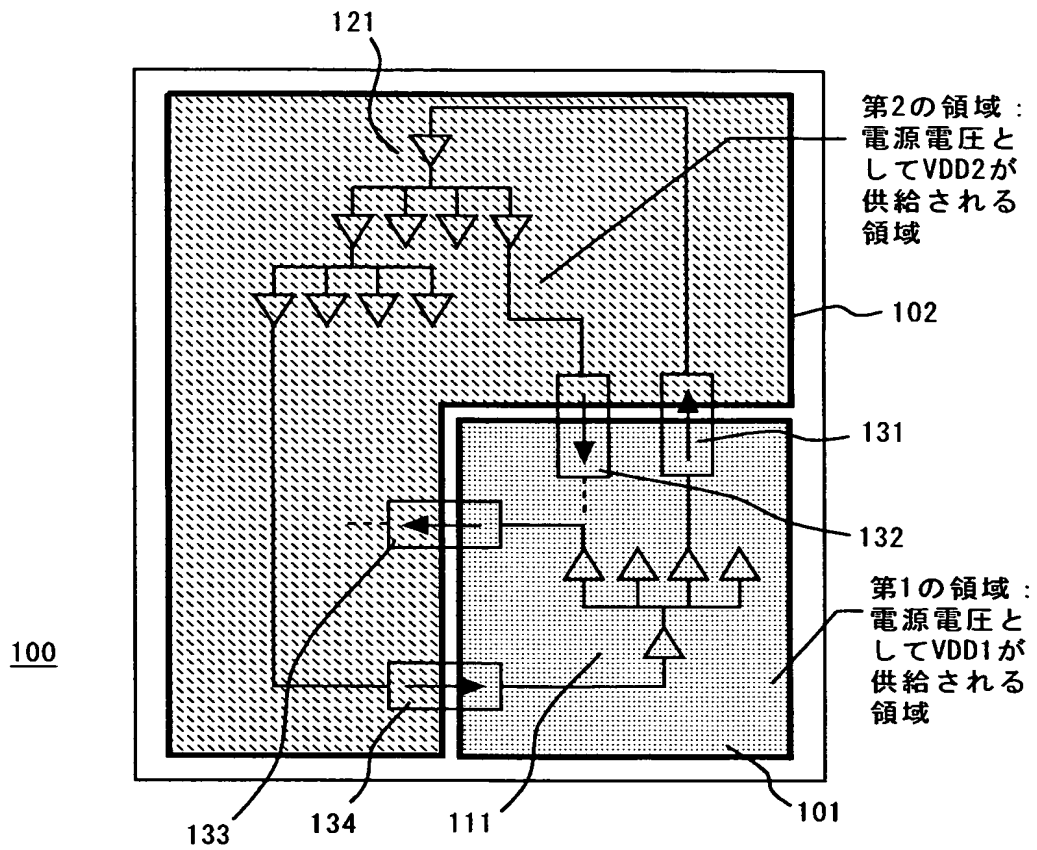
【符号の説明】

1 0 0 半導体回路装置、1 0 1 第 1 の領域、1 0 2 第 2 の領域、1 1 1 第 1 の内部回路、1 2 1 第 2 の内部回路、1 3 1 - 1 3 4 境界回路、2 0 0 貫通電流抑制回路、2 0 1 入力端子、2 0 2 インバータ、2 0 3 N A N D ゲート、2 0 4 イネーブル端子、2 0 5 出力端子、3 0 0 ゲート・リーク抑制回路、3 0 1 入力端子、3 0 2 負論理出力の O R 回路、3 0 3 イネーブル端子、3 0 4 インバータ、3 0 5 出力端子、4 0 0 E S D 保護回路を備えている境界回路、4 0 1 E S D 保護回路、5 0 0 レベル変換回路を備える境界回路、5 0 1 レベル変換回路、6 0 0 半導体回路装置の設計システム、6 0 1 設計ツール・プログラム、6 0 2 セル・ライブラリ、6 0 3 入力データ、6 0 4 出力データ

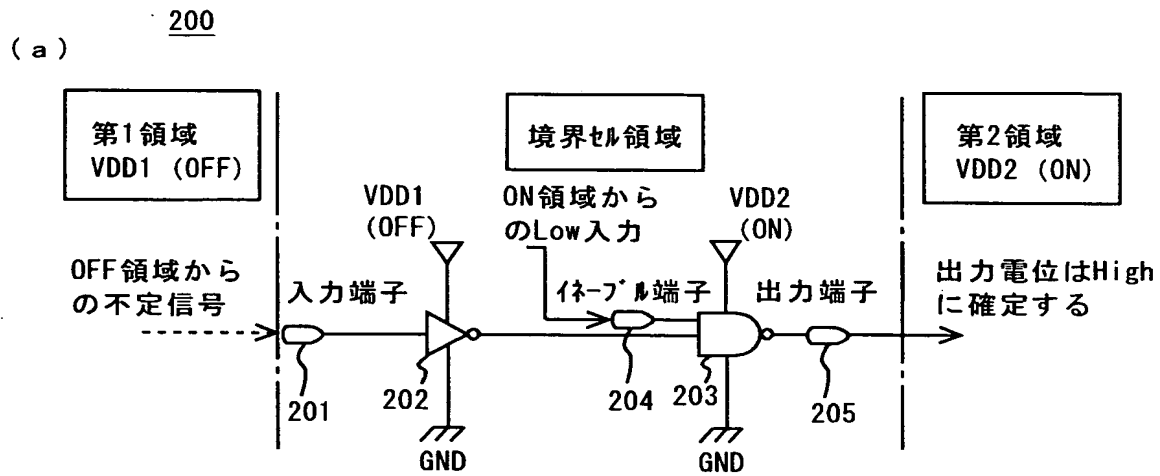
【書類名】

図面

【図 1】



【図 2】



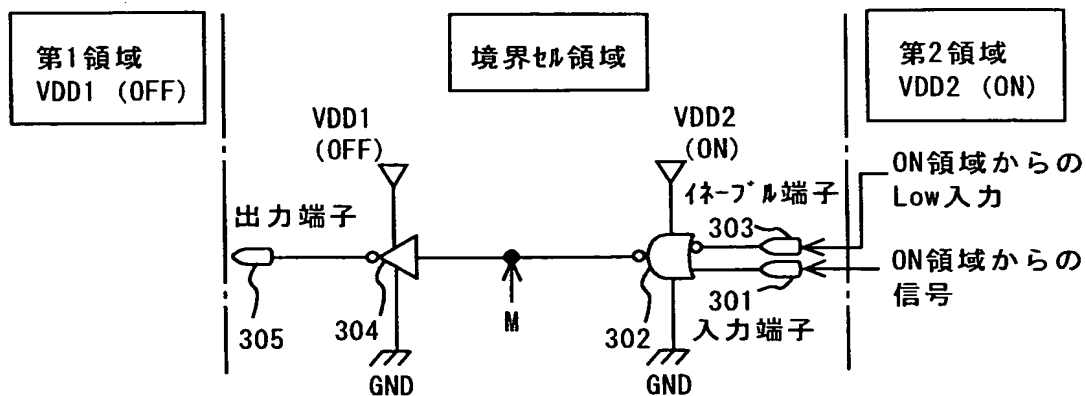
(b)

| input | enable | output |
|-------|--------|--------|
| 0 | 1 | 0 |
| 1 | 1 | 1 |
| X | 1 | X |
| X | 0 | 1 |
| X | X | X |

【図 3】

300

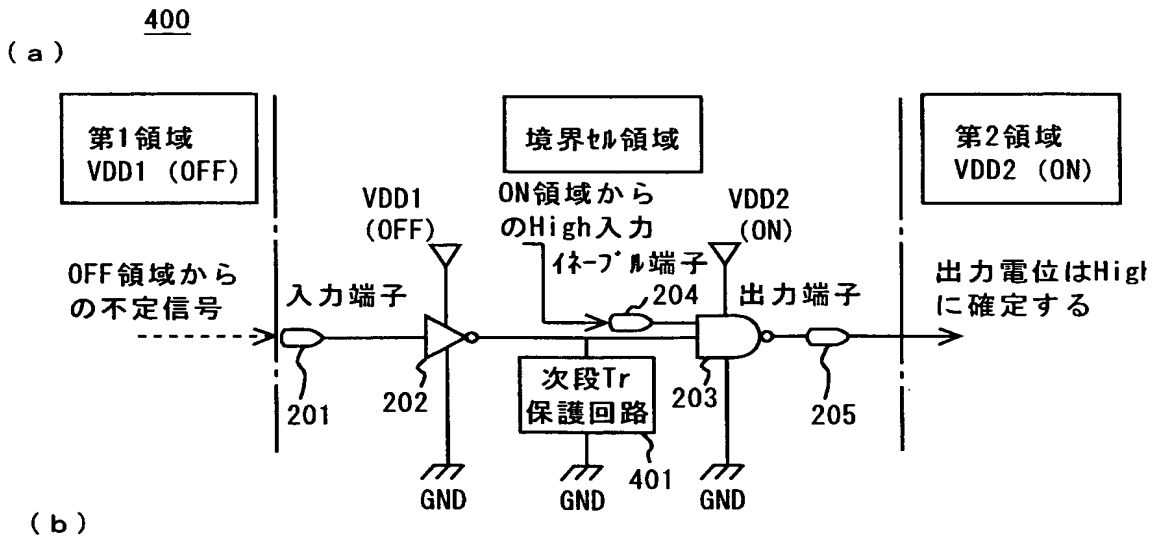
(a)



(b)

| input | enable | M | output |
|-------|--------|---|--------|
| 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| X | 1 | X | X |
| X | 0 | 0 | 1 |
| X | X | X | X |

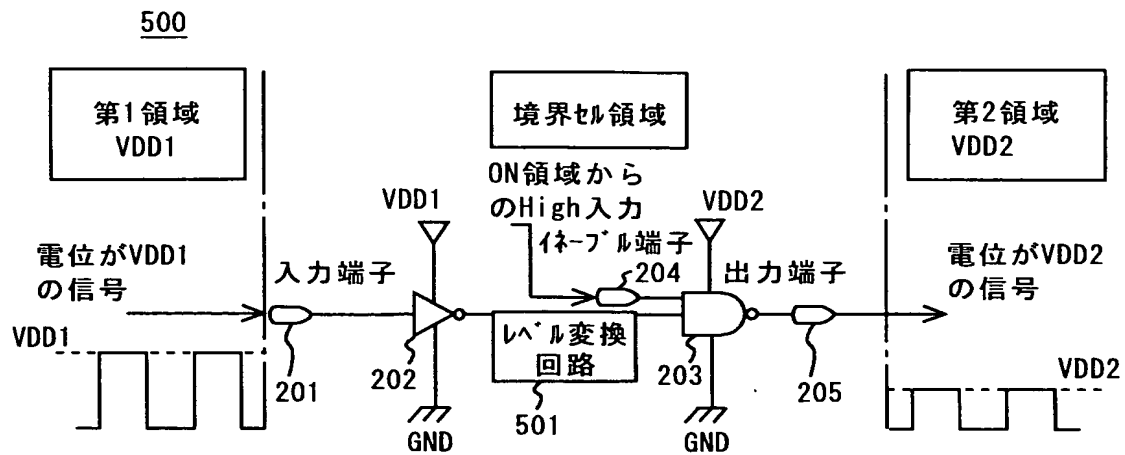
【図 4】



| input | enable | output |
|-------|--------|--------|
| 0 | 1 | 0 |
| 1 | 1 | 1 |
| X | 1 | X |
| X | 0 | 1 |
| X | X | X |

【図 5】

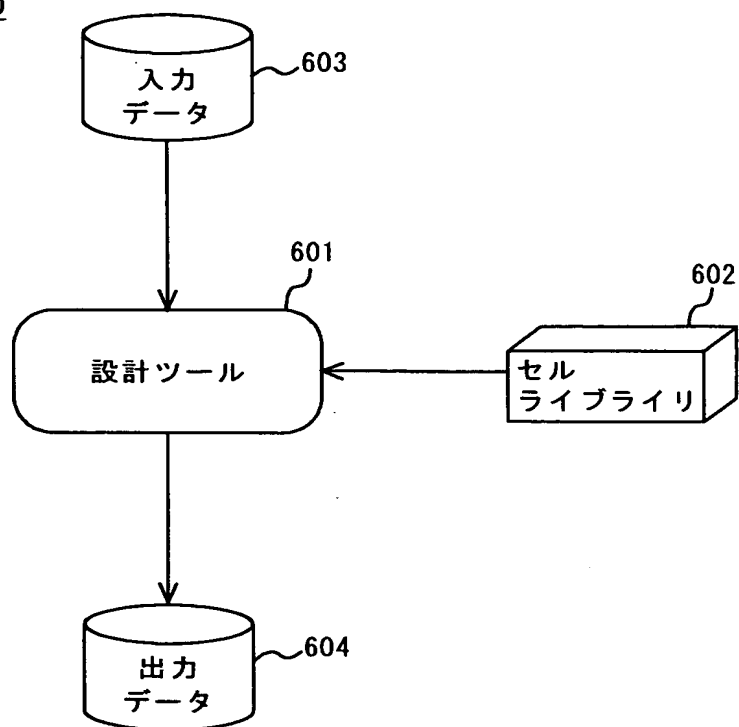
(a)



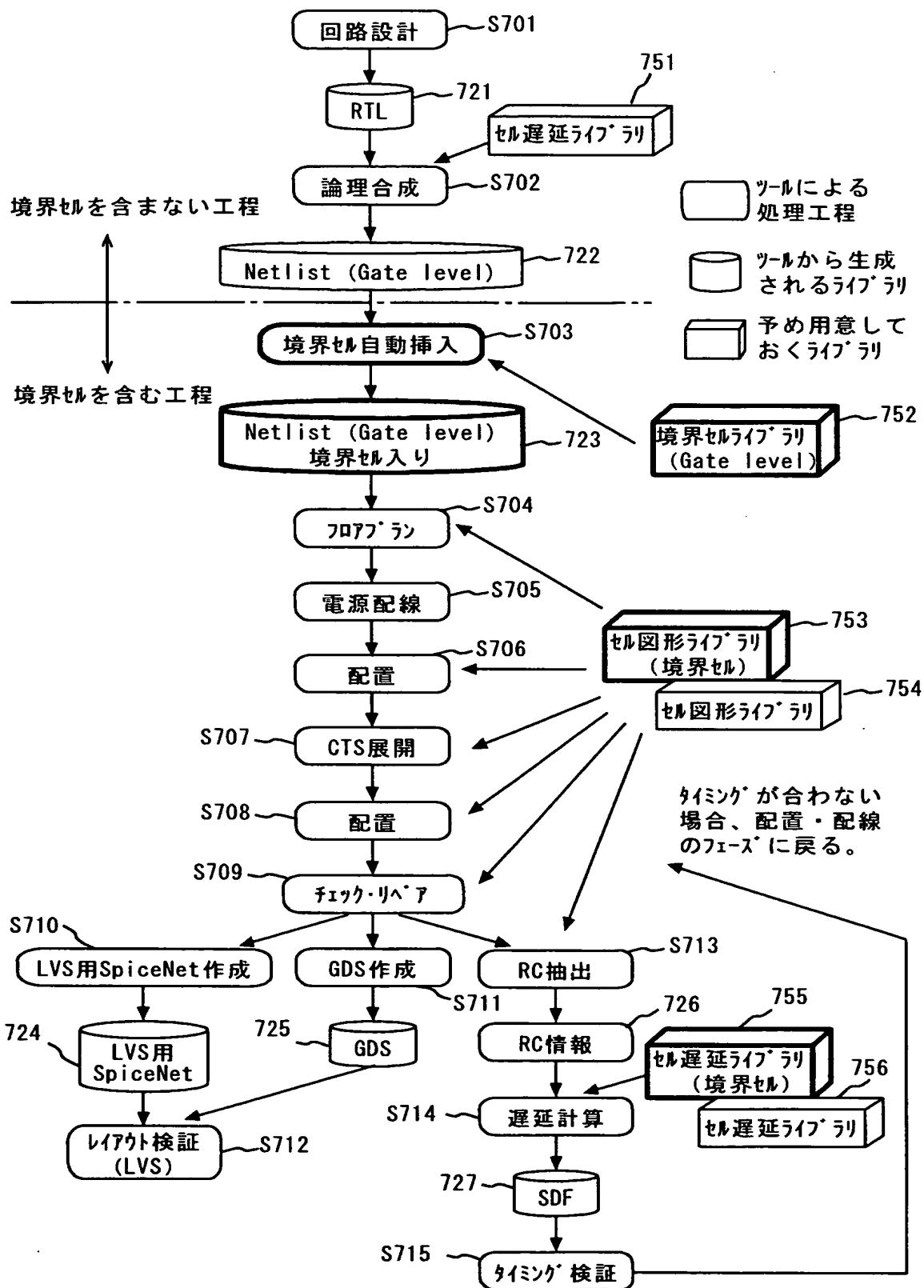
(b)

| input | enable | output |
|-------|--------|--------|
| 0 | 1 | 0 |
| 1 | 1 | 1 |
| X | 1 | X |
| X | 0 | 1 |
| X | X | X |

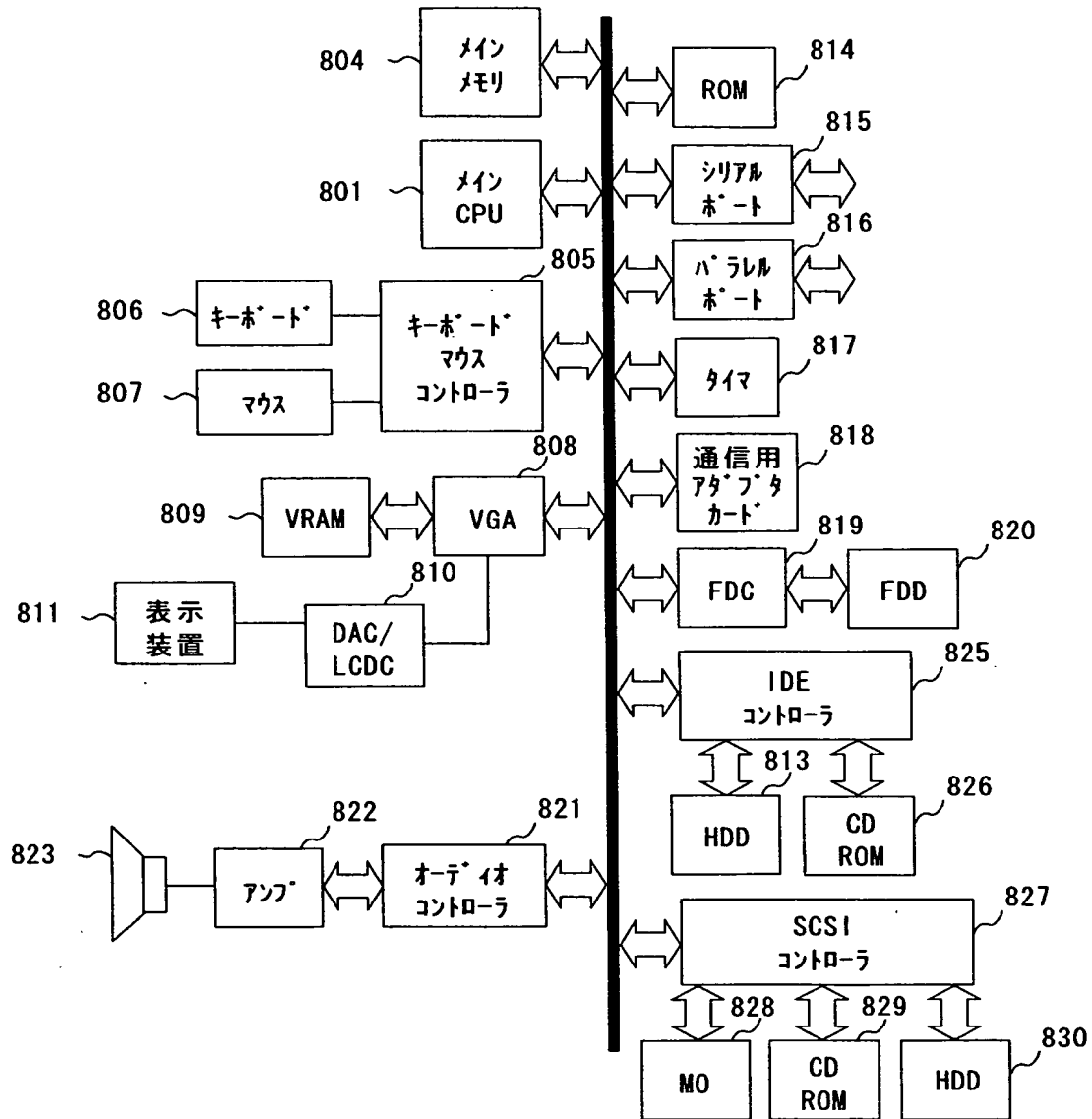
【図 6】

600

【図 7】



【図 8】



【書類名】 要約書

【課題】

半導体回路装置の効率的な設計技術を提供する。

【解決手段】

異なる電源によって動作する複数の回路領域を備えるチップの設計のために、回路間の境界領域に挿入される境界セルを予め準備する。設計ツールを使用して、論理回路レベルのネット・リストを生成した後に、境界セルを境界領域に挿入する。境界セルは、回路間の信号伝送路上に接続され、貫通電流の抑制やリーク電流を抑制する回路が利用される。境界セルをセル・ライブラリ内に用意しておくことによって、チップ設計をより容易にすることができる。

【選択図】 図 7

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 1 3 1 4 7 2 |
| 受付番号 | 5 0 3 0 0 7 6 9 0 4 6 |
| 書類名 | 特許願 |
| 担当官 | 第七担当上席 0 0 9 6 |
| 作成日 | 平成 1 5 年 5 月 1 2 日 |

< 認定情報・付加情報 >

| | |
|-------|-------------|
| 【提出日】 | 平成15年 5月 9日 |
|-------|-------------|

次頁無

特願 2 0 0 3 - 1 3 1 4 7 2

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社